

PATENT ABSTRACTS OF JAPAN

(11) Publication number: **2002329795 A**

(43) Date of publication of application: **15.11.02**

(51) Int. Cl. **H01L 21/8242**
H01L 27/108
H01L 29/78

(21) Application number: **2001129908**

(22) Date of filing: **26.04.01**

(71) Applicant: **TOSHIBA CORP**
(72) Inventor: **WATANABE SHINICHI**
TAKEGAWA YOICHI
SUNOCHI KAZUMASA
OSAWA TAKASHI

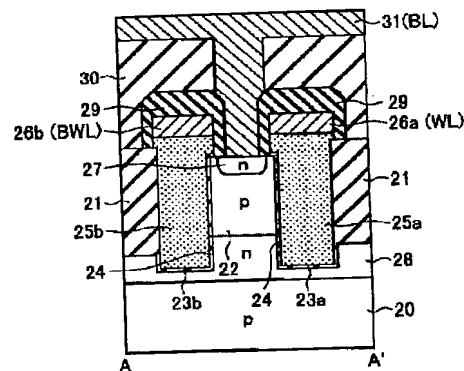
(54) **SEMICONDUCTOR MEMORY AND ITS MANUFACTURING METHOD**

COPYRIGHT: (C)2003,JPO

(57) Abstract:

PROBLEM TO BE SOLVED: To provide a semiconductor memory device using memory cells having a simple transistor structure.

SOLUTION: While trenches 23a, 23b are formed spaced apart a predetermined distance in an element formation region divided by an element separating insulation film 21 on p-type silicon substrate, the sandwiched region between trench 23a and 23b is defined as an element region 22, and a gate insulation film 24 is formed on its side faces. Then gate electrodes 25a, 25b are buried in the trenches 23a, 23b. A drain diffusion layer 27 and a source diffusion layer 28 are formed individually on the upper face and on the bottom face of the element region 22 to configure a vertical MISFET. The gate electrodes 25a, 25b are individually connected to metal wirings 26a, 26b which are a word line WL and a back word line BWL. A bit line (BL) 31 is connected to the drain diffusion layer 27. The data is dynamically memorized based on the floating potential of the element region 22 in the MISFET.



(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号
特開2002-329795
(P2002-329795A)

(43) 公開日 平成14年11月15日 (2002. 11. 15)

(51) Int.Cl. ⁷	識別記号	F I	テ-マコード*(参考)
H 0 1 L 21/8242		H 0 1 L 29/78	6 5 3 A 5 F 0 8 3
27/108		27/10	3 2 1
29/78	6 5 3		

審査請求 未請求 請求項の数10 O L (全 13 頁)

(21) 出願番号 特願2001-129908(P2001-129908)

(22) 出願日 平成13年4月26日 (2001. 4. 26)

(71) 出願人 000003078

株式会社東芝

東京都港区芝浦一丁目1番1号

(72) 発明者 渡邊 伸一

神奈川県横浜市磯子区新杉田町8番地 株
式会社東芝横浜事業所内

(72) 発明者 竹川 陽一

神奈川県横浜市磯子区新杉田町8番地 株
式会社東芝横浜事業所内

(74) 代理人 100092820

弁理士 伊丹 勝

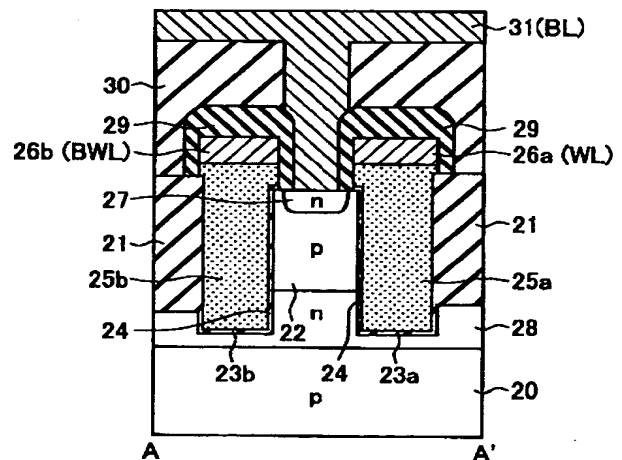
最終頁に続く

(54) 【発明の名称】 半導体メモリ装置及びその製造方法

(57) 【要約】

【課題】 単純なトランジスタ構造のメモリセルを用いた半導体メモリ装置を提供する。

【解決手段】 p型シリコン基板20の素子分離絶縁膜21により区画された素子形成領域に所定距離離れてトレンチ23a、23bが形成され、トレンチ23a、23bにより挟まれた領域22を素子領域として、その側面にゲート絶縁膜24が形成され、トレンチ23a、23bにはゲート電極25a、25bが埋め込まれる。素子領域22の表面にドレイン拡散層27が、底部にソース拡散層28が形成されて、縦型MISFETが構成される。ゲート電極25a、25bはそれぞれワード線WL、バックワード線BWLとなるメタル配線26a、26bに接続される。ビット線(BL)31は、ドレイン拡散層27に接続される。MISFETのフローティングの素子領域22の電位によりデータのダイナミック記憶を行う。



1

【特許請求の範囲】

【請求項1】 1ビットのメモリセルが、フローティングのチャンネルボディを第1の電位に設定した第1データ状態と第2の電位に設定した第2データ状態とをダイナミックに記憶する一つのMISFETにより構成され、前記MISFETは、半導体基板と、この半導体基板に区画された前記チャンネルボディとなる第1導電型の素子領域と、この素子領域を挟んで形成された二つのトレンチに埋め込まれて前記素子領域の側面に対向する第1及び第2のゲート電極と、前記素子領域の表面に形成された第2導電型のドレイン拡散層及び所定深さ位置に埋め込まれた第2導電型のソース拡散層とを備えた縦型MISFETであることを特徴とする半導体メモリ装置。

【請求項2】 前記第1データ状態は、前記MISFETを5極管動作させてドレイン接合近傍でインパクトイオン化を起こすことにより書き込まれ、前記第2データ状態は、前記第1のゲート電極からの容量結合により所定電位が与えられたチャンネルボディとドレイン拡散層の間に順方向バイアスを与えることにより書き込まれることを特徴とする請求項1記載の半導体メモリ装置。

【請求項3】 前記MISFETは、ソース拡散層を共有して素子分離絶縁膜により区画されて複数個マトリクス配列され、第1の方向に並ぶ複数のMISFETのドレイン拡散層がビット線に接続され、第1の方向と交差する第2の方向に並ぶ複数のMISFETの第1のゲート電極がワード線に、第2のゲート電極がバックワード線にそれぞれ接続されてメモリセルアレイが構成されていることを特徴とする請求項1記載の半導体メモリ装置。

【請求項4】 前記素子分離絶縁膜により区画された矩形の各素子形成領域に、そのビット線方向の両端部に形成されたトレンチに第1及び第2のゲート電極が埋め込まれた一つのMISFETが形成されていることを特徴とする請求項3記載の半導体メモリ装置。

【請求項5】 前記バックワード線は、対をなすワード線と同期して駆動されて、チャンネルボディの電位制御を行うことを特徴とする請求項4記載の半導体メモリ装置。

【請求項6】 前記素子分離絶縁膜により区画された矩形の各素子形成領域に、そのビット線方向の両端部及び中央部にトレンチが形成され、中央部のトレンチに埋め込まれた第2のゲート電極を共有し、両端部のトレンチにそれぞれ第1のゲート電極が埋め込まれた二つのMISFETが形成されていることを特徴とする請求項3記載の半導体メモリ装置。

【請求項7】 前記第2のゲート電極及びこれに接続されるバックワード線は、前記ビット線方向に隣接する二つのMISFETで共有されて、その第2のゲート電極が対向する側面を多数キャリア蓄積状態に保つ固定電位

2

が与えられることを特徴とする請求項6記載の半導体メモリ装置。

【請求項8】 半導体基板に素子分離絶縁膜により区画された矩形の素子形成領域を形成する工程と、前記半導体基板に不純物をイオン注入して、前記素子形成領域の底部を横切るソース拡散層を形成する工程と、前記素子形成領域に、所定距離をおいて少なくとも二つのトレンチを形成する工程と、前記二つのトレンチに挟まれた素子領域の側面にゲート絶縁膜を形成して、前記各トレンチに第1及び第2のゲート電極を埋め込む工程と、前記素子領域の表面にドレイン拡散層を形成する工程とを有することを特徴とする半導体メモリ装置の製造方法。

【請求項9】 前記素子形成領域にその長手方向の両端部に位置する二つのトレンチが形成され、これらのトレンチに埋め込まれた第1及び第2のゲート電極を有する一つのMISFETが形成されることを特徴とする請求項8記載の半導体メモリ装置の製造方法。

【請求項10】 前記素子形成領域に、その長手方向の両端部と中央部に位置する三つのトレンチが形成され、中央部のトレンチに埋め込まれた第2のゲート電極を共有し、両端部のトレンチに埋め込まれた第1のゲート電極を有する二つのMISFETが形成されることを特徴とする請求項8記載の半導体メモリ装置の製造方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】 この発明は、MISFETのチャンネルボディを記憶ノードとしてダイナミックにデータ記憶を行う半導体メモリ装置に関する。

【0002】

【従来の技術】 従来のDRAMは、MOSトランジスタとキャパシタによりメモリセルが構成されている。DRAMの微細化は、トレンチキャパシタ構造やスタックドキャパシタ構造の採用により大きく進んでいる。現在、単位メモリセルの大きさ（セルサイズ）は、最小加工寸法をFとして、 $2F \times 4F = 8F^2$ の面積まで縮小されている。つまり、最小加工寸法Fが世代と共に小さくなり、セルサイズを一般に αF^2 としたとき、係数 α も世代と共に小さくなり、 $F = 0.18 \mu m$ の現在、 $\alpha = 8$ が実現されている。

【0003】 今後も従来と変わらないセルサイズ或いはチップサイズのトレンドを確保するためには、 $F < 0.18 \mu m$ では、 $\alpha < 8$ 、更に $F < 0.13 \mu m$ では、 $\alpha < 6$ を満たすことが要求され、微細加工と共に如何にセルサイズを小さい面積に形成するかが大きな課題になる。そのため、1トランジスタ/1キャパシタのメモリセルを $6F^2$ や $4F^2$ の大きさにする提案も種々なされている。しかし、トランジスタを縦型にしなければならぬといった技術的困難や、隣接メモリセル間の電氣的干

渉が大きくなるといった問題、更に加工や膜生成等の製造技術上の困難があり、実用化は容易ではない。

【0004】これに対して、キャパシタを用いず、1トランジスタをメモリセルとするDRAMの提案も、以下に挙げるようにいくつかなされている。

①JOHN E. LEISS et al, "DRAM Design Using the Taper-Isolated Dynamic Cell" (IEEE JOURNAL OF SOLID-STATE CIRCUITS, VOL. SC-17, NO. 2, APRIL 1982, pp337-344)

②特開平3-171768号公報

③Marnix R. Tack et al, "The Multistable Charge-Controlled Memory Effect in SOI MOS Transistors at Low Temperatures" (IEEE TRANSACTIONS ON ELECTRON DEVICE S, VOL. 37, MAY, 1990, pp1373-1382)

④Hsing-jen Wann et al, "A Capacitorless DRAM Cell on SOI Substrate" (IEDM93, pp635-638)

【0005】

【発明が解決しようとする課題】①のメモリセルは、埋め込みチャネル構造のMOSトランジスタを用いて構成される。素子分離絶縁膜のテーパ部に形成される寄生トランジスタを利用して、表面反転層の充放電を行い、二値記憶を行う。②のメモリセルは、個々にウェル分離されたMOSトランジスタを用い、MOSトランジスタのウェル電位により決まるしきい値を二値データとする。③のメモリセルは、SOI基板上のMOSトランジスタにより構成される。SOI基板の側から大きな負電圧を印加してシリコン層の酸化膜と界面部でのホール蓄積を利用し、このホールの放出、注入により二値記憶を行う。④のメモリセルは、SOI基板上のMOSトランジスタにより構成される。MOSトランジスタは構造上一つであるが、ドレイン拡散層の表面に重ねて逆導電型層が形成され、実質的に書き込み用PMOSトランジスタと読み出し用NMOSトランジスタを一体に組み合わせた構造としている。NMOSトランジスタの基板領域をフローティングのノードとして、その電位により二値データを記憶する。

【0006】しかし、①は構造が複雑であり、寄生トランジスタを利用していることから、特性の制御性にも難点がある。②は、構造は単純であるが、トランジスタのドレイン、ソース共に信号線に接続して電位制御する必要がある。また、ウェル分離であるため、セルサイズが大きく、しかもビット毎の書き換えができない。③では、SOI基板側からの電位制御を必要としており、従ってビット毎の書き換えができず、制御性に難点がある。④は特殊トランジスタ構造を必要とし、またメモリセルには、ワード線、ライトビット線、リードビット線、バース線が必要とするため、信号線数が多くなる。

【0007】この発明は、単純なトランジスタ構造のメモリセルにより、ダイナミック記憶を可能とした半導体メモリ装置とその製造方法を提供することを目的としている。

【0008】

【課題を解決するための手段】この発明に係る半導体メモリ装置は、1ビットのメモリセルが、フローティングのチャネルボディを第1の電位に設定した第1データ状態と第2の電位に設定した第2データ状態とをダイナミックに記憶する一つのMISFETにより構成され、前記MISFETは、半導体基板と、この半導体基板に区画された前記チャネルボディとなる第1導電型の素子領域と、この素子領域を挟んで形成された二つのトレンチに埋め込まれて前記素子領域の側面に対向する第1及び第2のゲート電極と、前記素子領域の表面に形成された第2導電型のドレイン拡散層及び所定深さ位置に埋め込まれた第2導電型のソース拡散層とを備えた縦型MISFETであることを特徴とする。

【0009】この発明において具体的には、第1データ状態は、MISトランジスタを5極管動作させることによりドレイン接合近傍でインパクトイオン化を起こすことにより書き込まれ、第2データ状態は、第1のゲートからの容量結合により所定電位が与えられた半導体層とドレインとの間に順方向バイアスを与えることにより書き込まれる。或いはまた、第1データ状態の書き込み法として、ゲートにより誘起されるドレインリーク(GIDL: Gate-Induced Drain Leakage)電流を利用することもできる。

【0010】またこの発明において具体的に、MISFETは、ソース拡散層を共有して素子分離絶縁膜により区画されて複数個マトリクス配列され、第1の方向に並ぶ複数のMISFETのドレイン拡散層がビット線に接続され、第1の方向と交差する第2の方向に並ぶ複数のMISFETの第1のゲート電極がワード線に、第2のゲート電極がバックワード線にそれぞれ接続されてメモリセルアレイが構成される。

【0011】この発明によると、一つのメモリセルは、フローティングのチャネルボディを持つ単純な一つの縦型MISFETにより形成され、セルサイズを小さいものとする事ができる。MISFETのソースは固定電位に接続され、ドレインに接続されたビット線とゲートに接続されたワード線の制御のみによって、読み出し、書き換え及びリフレッシュの制御が行われる。即ち任意ビット単位でのデータ書き換えも可能である。また、MISFETのボディに対向する第2のゲート電極には例えば、ソースに与える基準電位より低い電位(固定電位又は、第1のゲート電極に同期して変化する電位)を与えてボディと容量結合させることによって、第1のゲート電極によるボディに対する容量結合比を最適化して、“0”、“1”データのしきい値電圧差を大きくすることができる。

【0012】メモリセルアレイは具体的に、素子分離絶縁膜により区画された矩形の各素子形成領域の一つのMISFETを形成する方式と、第2のゲート電極を共有

5

させて二つのMISFETを形成する方式とがある。前者の場合、矩形の素子形成領域に、そのビット線方向の両端部に形成されたトレンチに第1及び第2のゲート電極が埋め込まれて、一つのMISFETが形成される。この場合、バックワード線は、対をなすワード線と同期して駆動されて、チャンネルボディの電位制御を行うようにすることができる。

【0013】後者の場合、矩形の素子形成領域に、そのビット線方向の両端部及び中央部にトレンチが形成され、中央部のトレンチに埋め込まれた第2のゲート電極を共有し、両端部のトレンチにそれぞれ第1のゲート電極が埋め込まれた二つのMISFETが形成される。この場合、第2のゲート電極及びこれに接続されるバックワード線は、ビット線方向に隣接する二つのMISFETで共有されて、その第2のゲート電極が対向する側面を多数キャリア蓄積状態に保つ固定電位が与えられることになる。

【0014】この発明に係る半導体メモリ装置の製造方法は、半導体基板に素子分離絶縁膜により区画された矩形の素子形成領域を形成する工程と、前記半導体基板に不純物をイオン注入して、素子形成領域の底部を横切るソース拡散層を形成する工程と、前記素子形成領域に、所定距離をおいて少なくとも二つのトレンチを形成する工程と、前記二つのトレンチに挟まれた素子領域側面にゲート絶縁膜を形成して、前記各トレンチに第1及び第2のゲート電極を埋め込む工程と、前記素子領域の表面にドレイン拡散層を形成する工程とを有することを特徴とする。

【0015】

【発明の実施の形態】この発明の実施の形態の説明に先立って、この発明の原理説明を行う。図1はこの発明によるDRAMセルの原理構造をSOI基板を用いた例で示している。メモリセルMCは、SOI構造のNチャンネルMISFETにより構成されている。即ち、シリコン基板10上に絶縁膜としてシリコン酸化膜11が形成され、このシリコン酸化膜11上にp型シリコン層12が形成されたSOI基板が用いられている。この基板のシリコン層12上に、ゲート酸化膜16を介してゲート電極13が形成され、ゲート電極13に自己整合されてn型ソース、ドレイン拡散層14、15が形成されている。

【0016】ソース、ドレイン拡散層14、15は、底部のシリコン酸化膜11に達する深さに形成されている。従って、p型シリコン層12からなるチャンネルボディは、チャンネル幅方向（図の紙面に直交する方向）の分離を酸化膜で行うとすれば、底面及びチャンネル幅方向の側面が他から絶縁分離され、チャンネル長方向はpn接合分離されたフローティング状態になる。このメモリセルMCをマトリクス配列する場合、ゲート13はワード線WLに接続され、ソース15は固定電位線（接地電位

6

線）に接続され、ドレイン14はビット線BLに接続される。

【0017】このnチャンネル型MISFETからなるDRAMセルの動作原理は、フローティングのチャンネルボディ（他から絶縁分離されたp型シリコン層12）の電位制御を利用する。即ち、MISFETを5極管領域で動作させることにより、ドレイン拡散層14から大きな電流を流し、ドレイン接合近傍でインパクトイオン化を起こすと、チャンネルボディが多数キャリアであるホールを保持した第1の電位状態に設定することができ、この状態を例えばデータ“1”とする。ドレイン拡散層14とp型シリコン層12の間のpn接合を順方向バイアスして、p型シリコン層12をより低電位にした状態をデータ“0”とする。ソース拡散層15は、固定電位例えば接地電位に保持される。

【0018】データ“0”、“1”は、チャンネルボディの電位の差として、従ってMISFETのしきい値電圧の差として記憶される。即ち、ホール蓄積によりボディの電位が高いデータ“1”状態のしきい値電圧 V_{th1} は、データ“0”状態のしきい値電圧 V_{th0} より低い。ボディに多数キャリアであるホールを蓄積した“1”データ状態を保持するためには、ワード線には負のバイアス電圧を印加することが必要になる。このデータ保持状態は、逆データの書き込み動作（消去）を行わない限り、読み出し動作を行っても変わらない。即ち、キャパシタの電荷蓄積を利用する1トランジスタ/1キャパシタのDRAMと異なり、非破壊読み出しが可能である。

【0019】データ読み出しの方式には、いくつか考えられる。ワード線電位VWLとチャンネルボディ電位VBの関係は、データ“0”、“1”との関係で図2のようになる。従って例えば、データ読み出しの第1の方法は、ワード線WLにデータ“0”、“1”のしきい値電圧 V_{th0} 、 V_{th1} の間になる読み出し電位を与えて、“0”データのメモリセルでは電流が流れず、“1”データのメモリセルでは電流が流れることを利用する。具体的には例えば、ビット線BLを所定の電位VBLにプリチャージして、その後ワード線WLを駆動する。これにより、“0”データの場合、ビット線プリチャージ電位VBLの変化がなく、“1”データの場合はプリチャージ電位VBLが低下する。

【0020】第2の読み出し方式は、ワード線WLを立ち上げてから、ビット線BLに電流を供給して、“0”、“1”の導通度に応じてビット線電位の上昇速度が異なることを利用する。簡単には、ビット線BLを0Vにプリチャージし、ワード線WLを立ち上げて、ビット線電流を供給する。このとき、ビット線の電位上昇の差をダミーセルを利用して検出することにより、データ判別が可能となる。

【0021】この発明において、選択的に“0”データ

7

を書き込むためには、即ちメモリセルアレイのなかで選択されたワード線WLとビット線BLの電位により選択されたメモリセルのボディのみからホールを放出させるには、ワード線WLとボディの間の容量結合が本質的になる。データ“1”でボディにホールが蓄積された状態は、ワード線を十分負方向にバイアスして、メモリセルのゲート・基板間容量が、ゲート酸化膜容量となる状態（即ち表面に空乏層が形成されていない状態）で保持することが必要である。

【0022】図1は、SOI構造を利用することで、フローティングのチャンネルボディを持つMISFETを構成したが、この発明においては、SOI基板を用いることなく、フローティングのチャンネルボディを持つMISFETを構成する。その基本単位メモリセルMCの構成が図3及び図4A～図4Cである。図3は、平面図であり、図4A、図4B及び図4Cはそれぞれ、図3のA-A'、B-B'及びC-C'断面図である。

【0023】即ちこの発明では、メモリセルMCは、縦型MISFETにより構成される。p型シリコン基板20に、例えばSTI (Shallow Trench Isolation)法により素子分離絶縁膜21が埋め込まれて、矩形的素子形成領域が区画される。この素子形成領域の一端部に素子分離絶縁膜21より深いトレンチ23が形成され、チャンネルボディとなる素子領域22のトレンチ23に露出する側面にゲート絶縁膜24が形成され、トレンチ23にはゲート電極25が埋め込まれる。素子領域22の表面にはn型のドレイン拡散層27が形成され、また所定深さ位置に素子領域22を横切るようにn型ソース拡散層28が形成される。

【0024】この様に、ソース拡散層28と素子分離絶縁膜21により他から分離されてフローティングとなるチャンネルボディを持つ縦型MISFETがメモリセルMCとなる。メモリセルMCをマトリクス配列してメモリセルアレイを構成する場合、ソース拡散層28は、複数のMISFETに共通の物として連続的に形成されるようにする。そして、第1の方向に並ぶMISFETのゲート電極25は、ワード線WLとなるメタル配線26に共通接続される。第1の方向と交差する第2の方向に並ぶMISFETのドレイン拡散層27は、層間絶縁膜30上に配設されるビット線(BL)31に接続される。

【0025】ここまで説明した基本DRAMセルでは、その動作原理上、データ“0”、“1”のしきい値電圧差をどれだけ大きくできるかが重要なポイントとなる。上記動作原理から明らかなように、ゲートからの容量結合によりボディ電位を制御することでデータの書き込み及び保持特性が決まるが、ボディ電位に対してしきい値電圧はほぼ平方根で効いてくるため、“0”、“1”データの大きなしきい値電圧差を実現することは容易ではない。しかも、上述した書き込み動作では、“0”書き込みのメモリセルは3極管動作し、チャンネルが形成され

8

るとゲートとボディは容量結合しなくなり、ボディ電位の上昇ができなくなる。

【0026】そこでこの発明においては、図3及び図4A～図4Cとして説明した基本DRAMセル構造に対して、チャンネル形成に利用される主ゲート電極（第1のゲート電極）とは別に、MISFETのチャンネルボディに容量結合してボディ電位を制御するための補助ゲート電極（第2のゲート電極）を設ける。第2のゲート電極は例えば、第1のゲート電極と同期して駆動する。これにより、確実な書き込みを可能とし、且つ“0”、“1”データのしきい値電圧差を大きくすることができる。或いはまた、第2のゲート電極を例えばソース電位より低い固定電位として、第2のゲート電極側を多数キャリア蓄積状態に保つことにより、同様に“0”、“1”データのしきい値電圧差を大きくすることができる。

【0027】以下、この発明の実施の形態を説明する。図5は、実施の形態によるDRAMセルである縦型MISFETの平面図であり、図6A、図6B及び図6Cはそれぞれ、図5のA-A'、B-B'及びC-C'断面図である。

【0028】p型シリコン基板20に、STI法により素子分離絶縁膜21が埋め込まれて、図5に一点鎖線で示したような矩形的素子形成領域が区画される。この素子形成領域の長手方向の両端部にトレンチ23a、23bが素子分離絶縁膜21の底部より深く形成され、これらのトレンチ23a、23bにより挟まれた領域22がチャンネルボディとなる素子領域である。そしてトレンチ23a、23bに露出する素子領域22の相対向する側面にそれぞれゲート絶縁膜24が形成され、トレンチ23a、23bにはゲート電極25a、25bが埋め込まれる。

【0029】トレンチ形成とゲート電極25a、25bの埋め込みの工程前に、イオン注入を行うことにより、素子領域22の底部には、n型ソース拡散層28が形成される。また素子領域22の表面には、ゲート電極25a、25bの埋め込み後にイオン注入を行ってn型ドレイン拡散層27が形成される。この様にして、二つのゲート電極25a、25bが埋め込まれた縦型MISFETにより、メモリセルMCが構成される。

【0030】ゲート電極25a、25bは、それぞれワード線WL及びバックワード線BWLとなるメタル配線26a、26bに接続される。これらのワード線WL及びバックワード線BWLの上部及び側面はシリコン窒化膜29により覆われる。なお実際の製造工程では、後に説明するように、ゲート電極25a、25bとなる多結晶シリコン膜をトレンチ23a、23bを埋め込んで平坦になるように堆積形成し、更にメタル配線層及びシリコン窒化膜を連続的に堆積した後、これらの積層膜をパターニングすることより、ワード線WL及びバックワード線BWLが形成される。

9

【0031】この様に形成されたMISFETの上に層間絶縁膜30が形成され、この上にビット線(BL)31が配設される。ビット線31は、MISFETのドレイン拡散層27に接続される。

【0032】以上のMISFETをマトリクス配列したメモリセルアレイの構成は、図7及び図8A~図8Cのようになる。図7は平面図であり、図8A、図8B及び図8Cはそれぞれ図7のA-A'、B-B'及びC-C'断面図である。その構造は、図5及び図6A~図6Cで説明したものと同様であるので、詳細な説明は省く。ビット線31は、層間絶縁膜30に開けたビット線コンタクトに多結晶シリコンによるコンタクトプラグ41を埋め込み、このコンタクトプラグ41を接続するようにメタル配線により形成されている。

【0033】このメモリセルアレイでは、矩形の素子形成領域のビット線方向の両端部にトレンチ23a、23bが形成され、ここに二つのゲート電極25a、25bが埋め込まれて一つのMISFETが構成される。この場合、図7に示したように、ビット線BL、ワード線WLとバックワード線BWLのライン/スペースを最小加工寸法Fで形成したとすると、単位DRAMセルは、図7に破線で示したように、 $8F^2$ の面積となる。

【0034】このメモリセルアレイ構成の場合、ビット線方向に並ぶ複数のメモリセルについて、それぞれ対をなすワード線WLとバックワード線BWLが設けられる。従って、ワード線WLの駆動と同期してバックワード線BWLを駆動して、各MISFETのチャネルボディの電位を最適制御することができる。即ち、ワード線WLを負電位にして“1”データを保持するときに、対をなすバックワード線BWLにも負電位を与えることにより、“1”データの保持状態を良好に保つことができる。ワード線WLの電位を上昇させてデータ書き込みを行う場合には、バックワード線BWLも上昇させることにより、容量結合によってチャネルボディ電位を上昇させることができ、確実なデータ書き込みを可能とする。“0”データ書き込みの場合には、ワード線WL側にチャネルが形成されても、バックワード線BWLによりチャネルボディ電位を高くすることができるから、確実な“0”データ書き込みができる。以上により、しきい値電圧差の大きい“0”、“1”データ記憶が可能になる。

【0035】また、非選択のワード線WLには負電位を与えてデータ保持を行うが、このとき対をなすバックワード線BWLも負電位とすることによって、チャネルボディ電位を低く制御しているから、同じビット線に沿う他のメモリセルで“0”データ書き込みを行う場合に、“1”データを保持する非選択セルでのデータ破壊も確実に防止される。

【0036】上記実施の形態では、素子分離絶縁膜で区画された一つの素子形成領域に一つのMISFETを形

10

成したが、素子分離絶縁膜で区画された一つの素子形成領域にバックワード線BWLに接続されるゲート電極を共有して二つのMISFETを形成することもできる。この場合のメモリセルアレイの構成を、図9及び図10に示す。図9は平面図であり、図10はそのA-A'断面図である。図9のB-B'及びC-C'断面はそれぞれ、図8B及び図8Cと同じである。

【0037】この実施の形態の場合、素子分離絶縁膜21により区画された矩形の素子形成領域の長手方向(ビット線方向)の両端部にトレンチ23aが形成され、中央部にもトレンチ23bが形成される。これらの3つのトレンチ23a、23bにより挟まれた領域が二つのMISFETの素子領域22となる。中央部のトレンチ23bには、二つのMISFETで共有されるゲート電極25bが埋め込まれ、両端部のトレンチ23aには二つのMISFETのそれぞれのゲート電極23aが埋め込まれる。そして、ゲート電極25bは、二つのMISFETの共通バックワード線BWLに接続され、ゲート電極25aはそれぞれ独立のワード線WLに接続される。その他は、先の実施の形態と同じであり、先の実施の形態と対応する部分に同じ符号を付して詳細な説明は省く。

【0038】この実施の形態の場合、2本のワード線WLの間に共有のバックワード線BWLが配置されるから、バックワード線BWLを選択されたワード線WLと同期して駆動すると、非選択ワード線に沿ったメモリセルのデータ破壊の原因になる。従ってこの実施の形態の場合、バックワード線BWLは、例えば負の固定電位に設定して動作させる。これにより、MISFETのチャネルボディのバックワード線BWL側を、反転層が形成されることのない多数キャリア蓄積状態(アキュムレーション状態)に保って、ワード線WLによるチャネルボディの電位制御を行うことができる。

【0039】またこの実施の形態の場合、図9に示したように、ビット線BL、ワード線WLとバックワード線BWLのライン/スペースを最小加工寸法Fで形成したとすると、単位DRAMセルは、図9に破線で示したように、 $6F^2$ の面積となる。

【0040】次にこの発明によるメモリセルアレイの製造工程を、図9及び図10の実施の形態の場合を例にとって説明する。図11A、図11B~図17A、図17Bはそれぞれ図9のA-A'断面(図10対応)及びB-B'断面(図8B対応)での製造工程を示している。

【0041】図11A及び図11Bに示すように、p型シリコン基板20にパッファ酸化膜51及びシリコン窒化膜52を堆積し、これをリソグラフィ工程とRIE工程によりパターニングして素子形成領域を覆うマスクを形成する。このマスクを用いてシリコン基板20をRIEによりエッチングして、矩形の素子形成領域を区画するように素子分離溝53を形成する。

11

【0042】次いで、図12A及び図12Bに示すように、素子分離溝53にシリコン酸化膜等の素子分離絶縁膜21を埋め込む。次に、高加速エネルギーのイオン注入を行って、図13A及び図13Bに示すように、素子分離絶縁膜21の下を通してセルアレイ領域全体に連続するn型ソース拡散層28を形成する。また、ソース拡散層28の上部のチャンネルボディとなる領域に、必要に応じてしきい値制御のためのイオン注入を行う。

【0043】次いで、図14A及び図14Bに示すように、シリコン窒化膜54によるマスクを形成し、シリコン基板20をRIEによりエッチングして、一つの素子形成領域の両端部と中央部にトレンチ23a、23bを形成する。トレンチ23a、23bの深さは、少なくともソース拡散層28に達する深さとする。図の場合、トレンチ23a、23bは、素子分離絶縁膜21の底面よりは深く、且つソース拡散層28内に止まる深さとしている。これにより、一つの素子形成領域内に、二つの矩形的素子領域22が形成されたことになる。素子領域22のワード線WL方向の両面は、図14Bに示すように素子分離絶縁膜21に接し、ビット線BL方向の側面がトレンチ23a、23bに露出する。

【0044】次に、シリコン窒化膜54を除去し、図15A及び図15Bに示すように、トレンチ23a、23bに露出する素子領域22の側面にゲート絶縁膜24を形成する。そして、ゲート電極となる多結晶シリコン膜25をトレンチ23a、23bを埋め込んで平坦化するように堆積し、更にWSi等のメタル配線層26を堆積し、その上にシリコン窒化膜55を堆積する。そしてこれらのシリコン窒化膜29a、メタル配線層26及び多結晶シリコン膜25をパターニングして、図16A及び図16Bに示すように、各トレンチ23a、23bに埋め込まれた多結晶シリコンゲート電極25a、25b、これをワード線WL及びバックワード線BWLとして共通接続するメタル配線26a、26bを形成する。メタル配線26a、26b上のシリコン窒化膜29aは、図10に示すワード線WL及びバックワード線BWLを覆うシリコン窒化膜29の一部として残される。

【0045】次に、図17A及び図17Bに示すように、シリコン窒化膜29bを堆積し、これをRIEによりエッチングして、ワード線WL及びバックワード線BWLの側壁に残す。そして、イオン注入を行って、各素子領域22の表面にn型ドレイン拡散層27を形成する。この後、製造工程図は示さないが、図10に示すように層間絶縁膜30を堆積し、ビット線コンタクト孔形成、多結晶シリコンプラグ41の埋め込み、ビット線31の形成を行う。

【0046】上では、バックワード線BWLを隣接セルで共有する方式のセルアレイについて製造工程を説明したが、図7及び図8A～図8Cで示したセル毎にバックワード線BWLを設ける方式の場合も、同様の製造工程

12

を適用することができる。

【0047】ここまでの実施の形態では、ゲート電極埋め込みのトレンチ23a、23bとこれにより挟まれる素子領域22の幅を同じとした。これは、幅幅に比べて進んだ場合に、素子領域22の幅を十分に確保できなくなる可能性がある。また、ビット線コンタクトは、ワード線WL及びバックワード線BWLの周囲をシリコン窒化膜29で覆うことにより、ワード線WL及びバックワード線BWLにセルフアラインされて形成されるが、ワード線WL及びバックワード線BWLのリソグラフィ工程で合わせずれがあると、ビット線コンタクト位置がずれて、ビット線31とゲート電極25a、25bの短絡事故の原因にもなる。

【0048】この問題に対しては、トレンチ23a、23bの幅を素子領域22の幅より狭くすることが有効になる。例えば、図8Aの断面に対して、トレンチ23a、23bのビット線BL方向の幅W1を狭くした場合の断面を示すと、図18のようになる。これにより、素子領域22の幅W2をトレンチ23a、23bの幅W1より十分大きく確保することができる。また、合わせずれに起因するビット線31とゲート電極25a、25bの短絡事故を防止することができる。

【0049】同様の構造は、バックワード線BWLを隣接するセルで共有する場合にも有効である。その構造を、図10の断面に対応させて、図19に示した。素子領域22の幅W2をトレンチ23a、23bの幅W1より十分大きく確保している。

【0050】ここまでの実施の形態では、ワード線WL側とバックワード線BWL側のゲート絶縁膜24は、同じ膜厚としたが、両者のゲート絶縁膜を別々に形成して、それぞれを最適膜厚とすることができる。例えば図20は、図10に対して、バックワード線BWL側のゲート絶縁膜24bを、ワード線WL側のゲート絶縁膜24aより厚く形成した例を示している。バックワード線BWL側のゲート絶縁膜24bは、チャンネルボディに対する容量結合の大きさを最適化するように選択される。

【0051】この発明は、上記実施の形態に限られない。例えば実施の形態では、nチャネルMISFETを用いたが、pチャネルMISFETを用いて同様のDRAMを構成することが可能である。また実施の形態では、ソース拡散層をイオン注入により形成したが、例えばn型拡散層上にp型エピタキシャル成長層を形成したエピタキシャル基板を用いれば、ソース拡散層のイオン注入工程は不要になる。

【0052】

【発明の効果】以上述べたようにこの発明によれば、ゲート電極をトレンチに埋め込んでチャンネルボディがフローティングになるようにした縦型MISFETを単位セルとしてダイナミック記憶を可能とした半導体メモリ装置を提供することができる。

13

【図面の簡単な説明】

【図1】この発明のDRAMセルの原理構造をSOI基板を用いて説明する断面図である。

【図2】1ワードRAMセルの動作原理を説明するための特性図である。

【図3】SOI基板を用いないこの発明のDRAMセルの原理構造を説明する平面図である。

【図4A】図3のA-A'断面図である。

【図4B】図3のB-B'断面図である。

【図4C】図3のC-C'断面図である。

【図5】この発明の実施の形態によるDRAMセルの構成を示す平面図である。

【図6A】図5のA-A'断面図である。

【図6B】図5のB-B'断面図である。

【図6C】図5のC-C'断面図である。

【図7】この発明の実施の形態によるDRAMセルアレイの構成を示す平面図である。

【図8A】図7のA-A'断面図である。

【図8B】図7のB-B'断面図である。

【図8C】図7のC-C'断面図である。

【図9】この発明の他の実施の形態によるDRAMセルアレイの構成を示す平面図である。

【図10】図9のA-A'断面図である。

【図11A】図8のA-A'断面での素子分離溝形成工程を示す図である。

【図11B】図8のB-B'断面での素子分離溝形成工程を示す図である。

【図12A】図8のA-A'断面での素子分離絶縁膜埋め込み工程を示す図である。

【図12B】図8のB-B'断面での素子分離絶縁膜埋め込み工程を示す図である。

【図13A】図8のA-A'断面でのソース拡散層形成工程を示す図である。

【図13B】図8のB-B'断面でのソース拡散層形成*

14

*工程を示す図である。

【図14A】図8のA-A'断面でのゲート埋め込み用トレンチ形成工程を示す図である。

【図14B】図8のB-B'断面でのゲート埋め込み用トレンチ形成工程を示す図である。

【図15A】図8のA-A'断面でのゲート埋め込み工程を示す図である。

【図15B】図8のB-B'断面でのゲート埋め込み工程を示す図である。

10 【図16A】図8のA-A'断面でのワード線及びバックワード線のパターニング工程を示す図である。

【図16B】図8のB-B'断面でのワード線及びバックワード線のパターニング工程を示す図である。

【図17A】図8のA-A'断面でのワード線及びバックワード線の側壁絶縁膜形成とドレイン拡散層形成工程を示す図である。

【図17B】図8のB-B'断面でのワード線及びバックワード線の側壁絶縁膜形成とドレイン拡散層形成工程を示す図である。

20 【図18】他の実施の形態による図8A対応の断面図である。

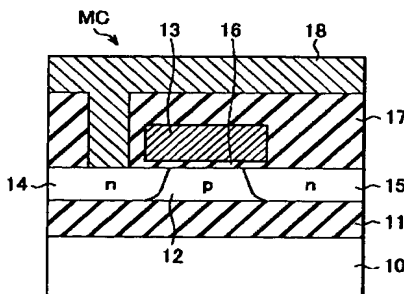
【図19】他の実施の形態による図10対応の断面図である。

【図20】他の実施の形態による図10対応の断面図である。

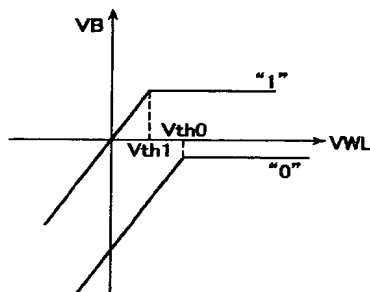
【符号の説明】

20…p型シリコン基板、21…素子分離絶縁膜、22…素子領域(チャネルボディ)、23, 23a, 23b…トレンチ、24, 24a, 24b…ゲート絶縁膜、25a, 25b…ゲート電極、26, 26a, 26b…メタル配線(ワード線WL, バックワード線BWL)、27…n型ドレイン拡散層、28…n型ソース拡散層、29…シリコン窒化膜、30…層間絶縁膜、31…ビット線(BL)、41…多結晶シリコンプラグ。

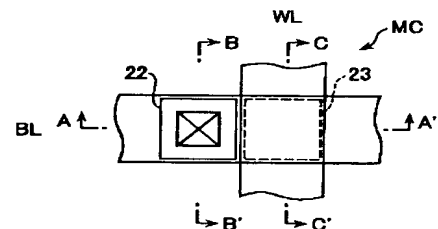
【図1】



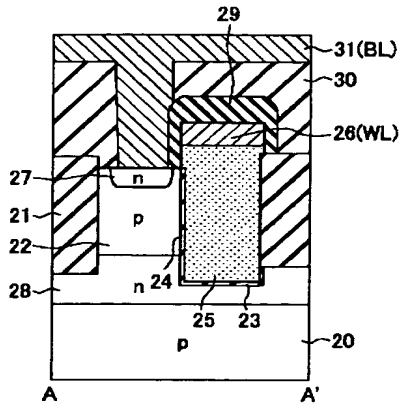
【図2】



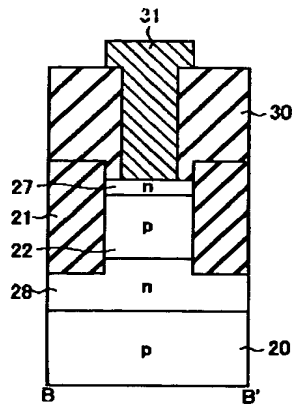
【図3】



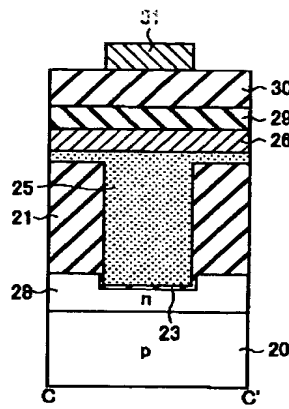
【図 4 A】



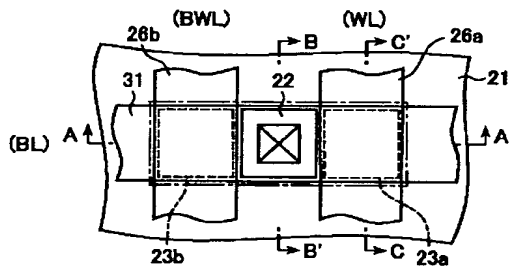
【図 4 B】



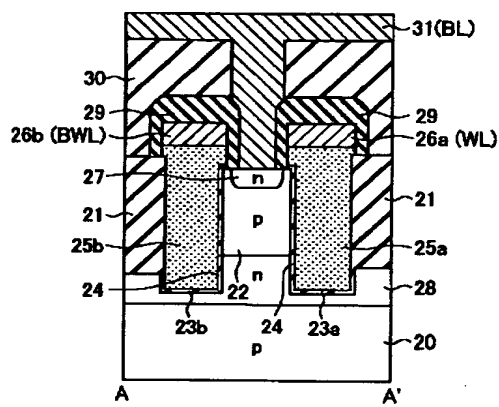
【図 4 C】



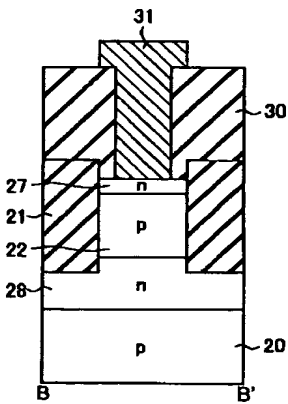
【図 5】



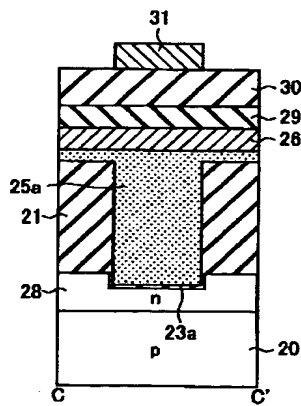
【図 6 A】



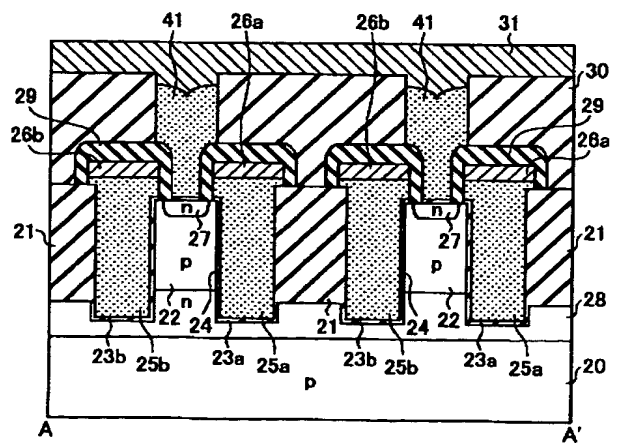
【図 6 B】



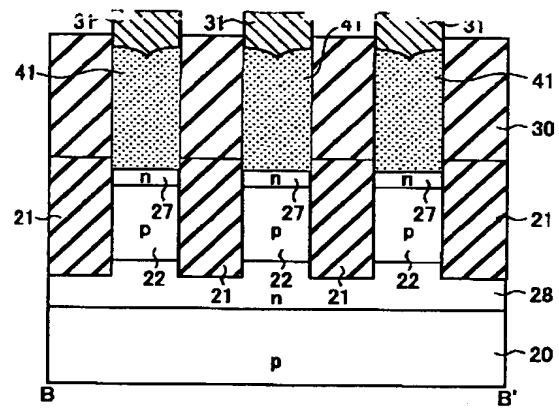
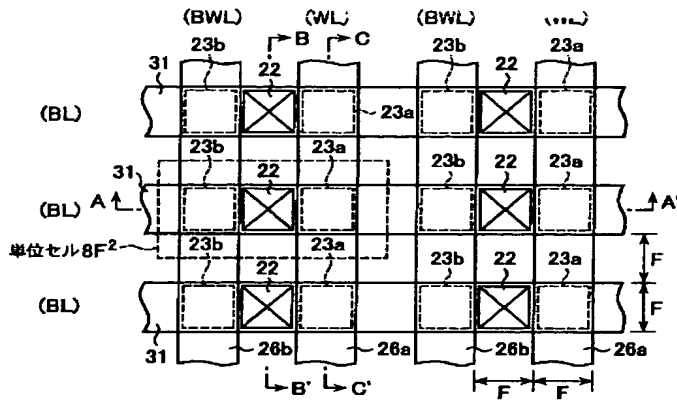
【図 6 C】



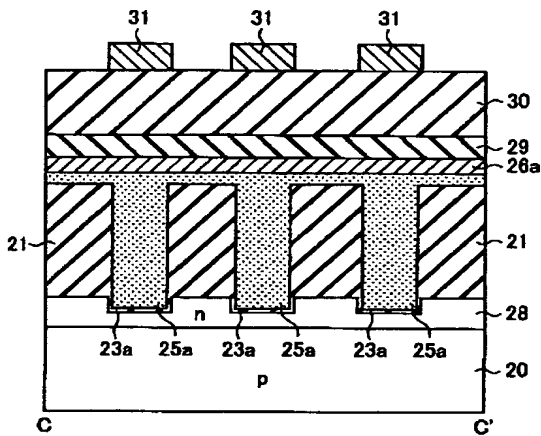
【図 8 A】



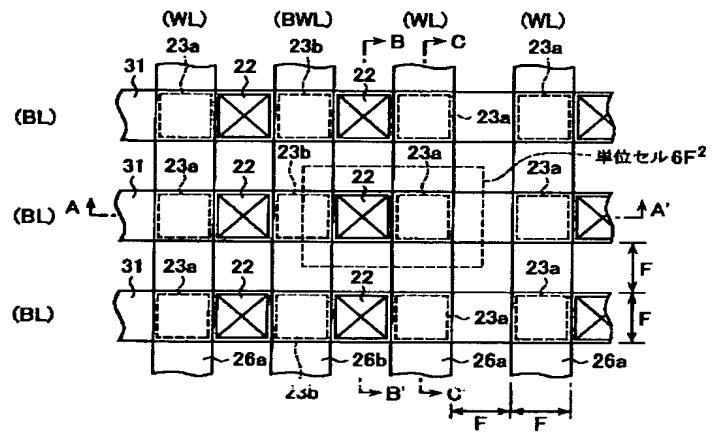
【図 8 B】



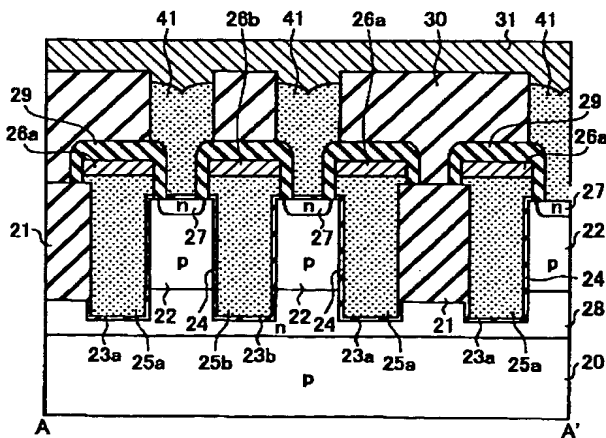
【図 8 C】



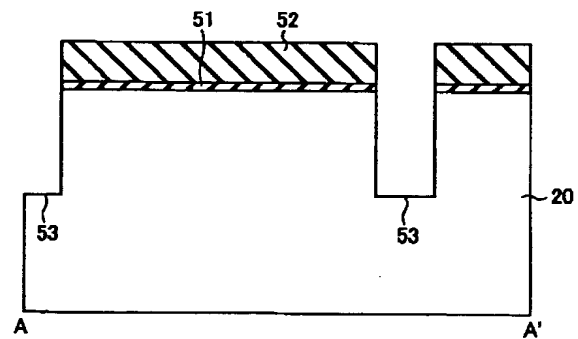
【図 9】



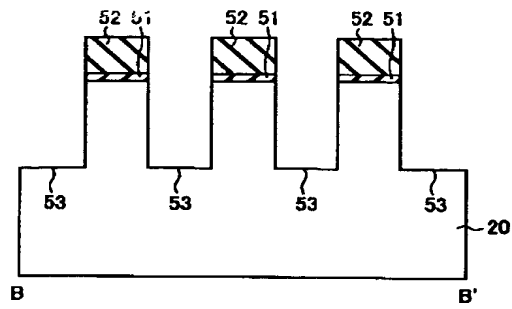
【図 10】



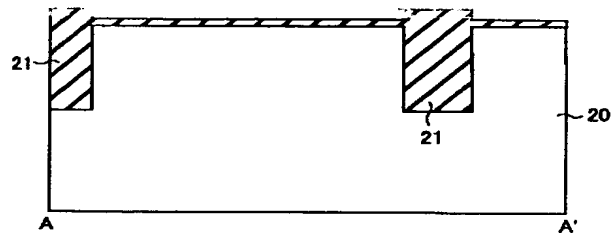
【図 1 1 A】



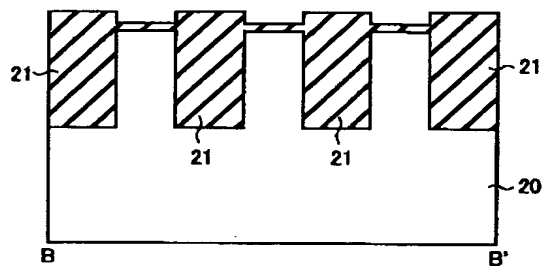
【図 11 B】



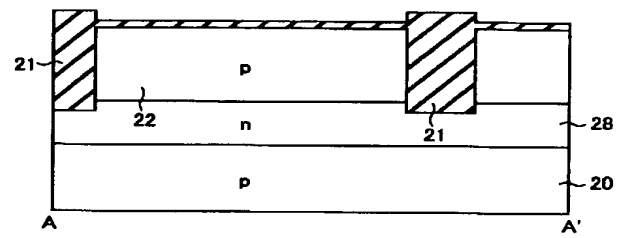
【図 12 A】



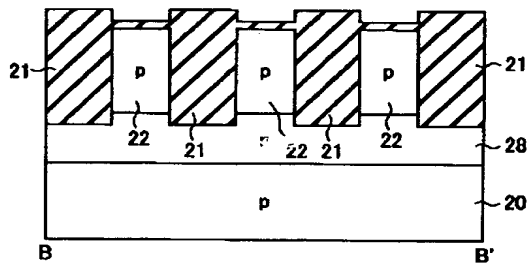
【図 12 B】



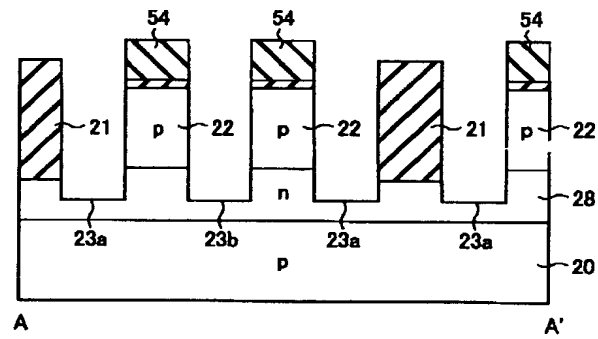
【図 13 A】



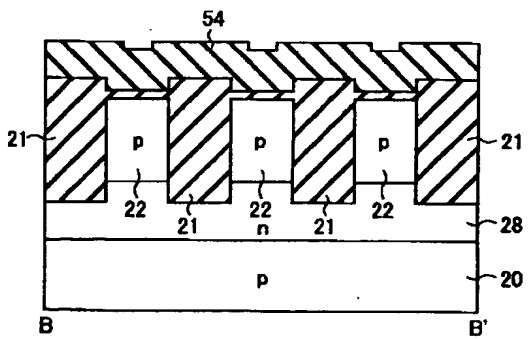
【図 13 B】



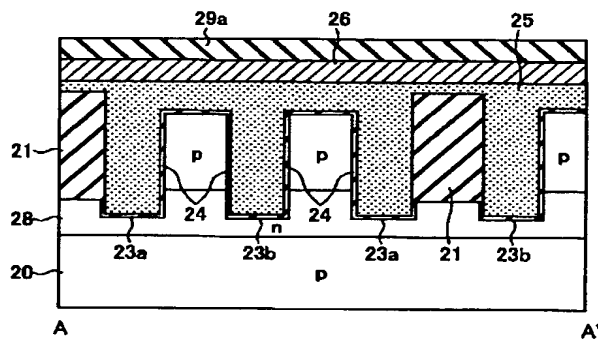
【図 14 A】



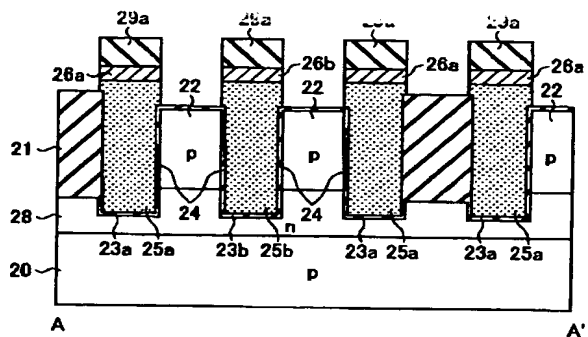
【図 14 B】



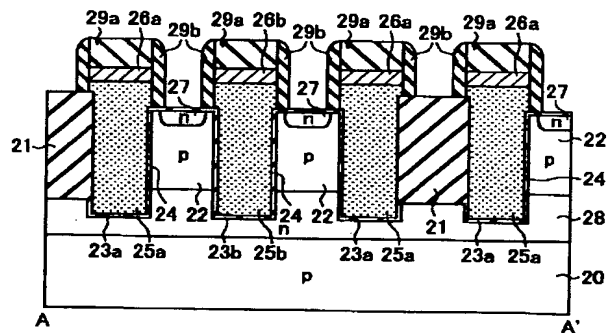
【図 15 A】



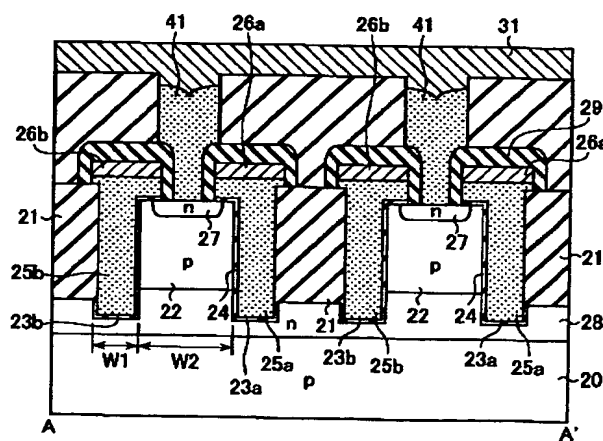
【図 16 A】



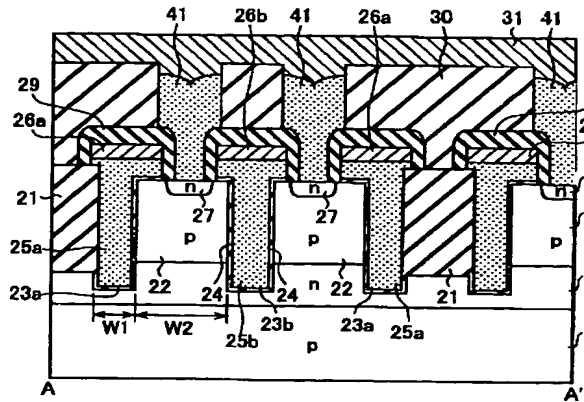
【図 17 A】



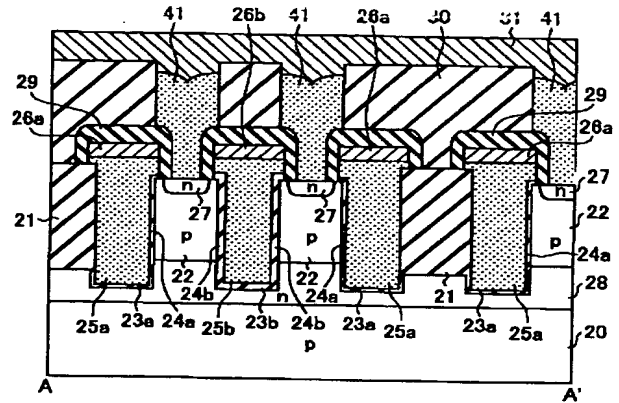
【図 18】



【図19】



【図20】



フロントページの続き

(72) 発明者 須之内 一正
神奈川県横浜市磯子区新杉田町 8 番地 株
式会社東芝横浜事業所内

(72) 発明者 大澤 隆
神奈川県川崎市幸区小向東芝町 1 番地 株
式会社東芝マイクロエレクトロニクスセン
ター内

Fターム(参考) 5F083 AD02 AD04 HA01 JA35 JA39
JA53 KA01 LA16 MA03 MA06
MA20 NA01 PR25 PR36